

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

986 U.S. PTO  
09/810499  
03/19/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2000年 7月28日

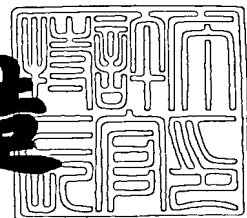
出 願 番 号  
Application Number: 特願2000-229690

出 願 人  
Applicant(s): 富士通株式会社

2001年 1月 5日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3109988

【書類名】 特許願

【整理番号】 0040570

【提出日】 平成12年 7月28日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G11C 11/00

【発明の名称】 半導体記憶装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 中川 治信

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 岡 泰史

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 複数の入出力端子と、  
該複数の入出力端子の各々に対応するブロックからなるメモリセル配列と、  
該ブロックの各々に対して複数個隣接して設けられ、該メモリセル配列のデータをセンスするセンスアンプと、  
該複数のセンスアンプに対応する複数のスイッチと、  
該複数のセンスアンプを該複数のスイッチを介して該複数の入出力端子の対応する 1 つに接続する信号配線  
を含むことを特徴とする半導体記憶装置。

【請求項 2】 入力アドレスに応じて前記複数のスイッチの一つを選択的に導通することで、前記複数のセンスアンプに対応する複数ページから一つのページを選択してデータを読み出すことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記メモリセル配列はフラッシュメモリセルを含むことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記ブロックの複数個をまとめて 1 つの消去単位として前記メモリセル配列のデータ消去を該消去単位ごとに順次実行することを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】 メモリセル配列から複数のページ分のデータを同時に読み出して複数のセンスアンプに記憶し選択されたページのデータを選択されたセンスアンプから読み出す半導体記憶装置であって、

1 つの入出力端子に対して該複数のページに対応するメモリセル領域が該メモリセル配列内で互いに隣接して配置され、

該 1 つの入出力端子に対して該複数のセンスアンプが互いに隣接して配置され、

該 1 つの入出力端子に対して設けられた該複数のセンスアンプを該 1 つの入出力端子に接続する配線を含むことを特徴とする半導体記憶装置。

【請求項 6】 前記メモリセル配列はフラッシュメモリセルを含むことを特徴

とする請求項 5 記載の半導体記憶装置。

【請求項 7】複数の入出力端子に対応する前記メモリセル領域をまとめて 1 つの消去単位として前記メモリセル配列のデータ消去を該消去単位ごとに順次実行することを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】メモリセル配列から複数のページ分のデータを同時に読み出して複数のセンスアンプに記憶し選択されたページのデータを選択されたセンスアンプから読み出す半導体記憶装置であって、1 つの入出力端子に対して該複数のページに対応するメモリセル領域が該メモリセル配列内で互いに隣接して配置されることを特徴とする半導体記憶装置。

【請求項 9】メモリセル配列から複数のページ分のデータを同時に読み出して複数のセンスアンプに記憶し選択されたページのデータを選択されたセンスアンプから読み出す半導体記憶装置であって、

1 つの入出力端子に対して該複数のセンスアンプが互いに隣接して配置され、  
該 1 つの入出力端子に対して設けられた該複数のセンスアンプを該 1 つの入出力端子に接続する配線を含むことを特徴とする半導体記憶装置。

【請求項 10】複数の I/O 構成からなる電氣的に書き換え可能な不揮発性メモリにおいて、複数の I/O を任意の数ごとに複数の I/O 群に分割され、ワードラインは分割された I/O 群と同数に分割され、各々ワードラインドライバを有し、読み出し時は I/O 分のワードラインがすべて選択され、I/O 分のデータを読み出し、プログラム時は 1 つ或いは複数の I/O 群分のワードラインに選択的に高電圧が印加されることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に半導体記憶装置に関し、詳しくは複数のページに対して高速にアクセス可能なページモードメモリに関する。

【0002】

【従来の技術】

メモリセル配列に対して高速にデータ読み出し／書き込みを実現するメモリと

して、ページモードメモリがある。ページモードメモリでは、複数のページを一度の読み出し動作で同時に読み出してセンスアンプに記憶しておき、外部よりのアドレス指定によりページを選択することで、選択されたページのデータを高速に読み出すことができる。一度に読み出した複数のページ内であれば、ページが指定される度にメモリセル配列にアクセスしてデータを読み出すのではなく、センスアンプからデータを読み出すだけの動作でよい。従ってアドレス指定からデータ読み出しまでの時間が短縮されて、高速なデータ読み出しを実現することができる。

## 【 0 0 0 3 】

図 1 は、従来のページモードメモリの構成を示す。

## 【 0 0 0 4 】

メモリセル配列 1 0 は、4 つのページ P a g e 0 から P a g e 3 にページ単位で分割され、更に各ページ内で各入出力端子に対応する部分に分割されている。例えば、入出力端子 I / O 0 は、対応する入出力バッファ 1 1 及びセンスアンプ 1 2 を介して、それぞれのページ内部の対応するメモリセル配列部分に接続されている。他の入出力端子に関しても同様であり、それぞれの入出力端子は、4 つのページ P a g e 0 乃至 P a g e 3 の全てに接続されている。

## 【 0 0 0 5 】

データ読み出し時には、4 つのページ P a g e 0 乃至 P a g e 3 の全てのデータをセンスアンプ 1 2 に呼び出しておき、選択されたページに対応するスイッチ 1 3 を ON にすることで、このページのデータをメモリ外部に読み出す。

データ書き込み時には、選択されたアドレスに対応する全ての入出力端子を一単位として書き込みたいデータを指定し書き込み動作を行なう。

## 【発明が解決しようとする課題】

図 1 の構成では、入出力バッファ 1 1 は信号ライン 1 4 を介して、対応するセンスアンプ 1 2 に接続されている。各入出力端子が全てのページに接続されている必要があるため、4 つのページ P a g e 0 乃至 P a g e 3 に対応するメモリセル配列の物理的広がりに対応して、信号ライン 1 4 は長い距離引き回されることになる。

## 【 0 0 0 6 】

従って、信号ライン 1 4 の配線抵抗及び容量が大きくなり、信号の遅延も大きくなってしまふ。これによりデータ読み出し書き込み動作が遅くなり、メモリの高速化を妨げることになる。

## 【 0 0 0 7 】

以上を鑑み、本発明は、装置入出力部分の信号ラインの配線抵抗及び容量を小さくすることで高速な動作が可能になる半導体記憶装置を提供することを目的とする。

## 【 0 0 0 8 】

## 【課題を解決するための手段】

請求項 1 の発明では、半導体記憶装置は、複数の入出力端子と、該複数の入出力端子の各々に対応するブロックからなるメモリセル配列と、該ブロックの各々に対して複数個隣接して設けられ、該メモリセル配列のデータをセンスするセンスアンプと、該複数のセンスアンプに対応する複数のスイッチと、該複数のセンスアンプを該複数のスイッチを介して該複数の入出力端子の対応する 1 つに接続する信号配線を含むことを特徴とする。

## 【 0 0 0 9 】

請求項 2 の発明では、請求項 1 記載の半導体記憶装置において、入力アドレスに応じて前記複数のスイッチの一つを選択的に導通することで、前記複数のセンスアンプに対応する複数ページから一つのページを選択してデータを読み出すことを特徴とする。

## 【 0 0 1 0 】

請求項 3 の発明では、請求項 1 記載の半導体記憶装置において、前記メモリセル配列はフラッシュメモリセルを含むことを特徴とする。

## 【 0 0 1 1 】

請求項 4 の発明では、請求項 3 記載の半導体記憶装置において、前記ブロックの複数個をまとめて 1 つの消去単位として前記メモリセル配列のデータ消去を該消去単位ごとに順次実行することを特徴とする。

## 【 0 0 1 2 】

請求項 5 の発明では、半導体記憶装置は、メモリセル配列から複数のページ分のデータを同時に読み出して複数のセンスアンプに記憶し選択されたページのデータを選択されたセンスアンプから読み出す半導体記憶装置であって、1つの入出力端子に対して該複数のページに対応するメモリセル領域が該メモリセル配列内で互いに隣接して配置され、該1つの入出力端子に対して該複数のセンスアンプが互いに隣接して配置され、該1つの入出力端子に対して設けられた該複数のセンスアンプを該1つの入出力端子に接続する配線を含むことを特徴とする。

## 【 0 0 1 3 】

請求項 6 の発明では、請求項 5 記載の半導体記憶装置において、前記メモリセル配列はフラッシュメモリセルを含むことを特徴とする。

## 【 0 0 1 4 】

請求項 7 の発明では、請求項 6 記載の半導体記憶装置において、複数の入出力端子に対応する前記メモリセル領域をまとめて1つの消去単位として前記メモリセル配列のデータ消去を該消去単位ごとに順次実行することを特徴とする。

## 【 0 0 1 5 】

請求項 8 の発明では、半導体記憶装置は、メモリセル配列から複数のページ分のデータを同時に読み出して複数のセンスアンプに記憶し選択されたページのデータを選択されたセンスアンプから読み出す半導体記憶装置であって、1つの入出力端子に対して該複数のページに対応するメモリセル領域が該メモリセル配列内で互いに隣接して配置されることを特徴とする。

## 【 0 0 1 6 】

請求項 9 の発明では、半導体記憶装置は、メモリセル配列から複数のページ分のデータを同時に読み出して複数のセンスアンプに記憶し選択されたページのデータを選択されたセンスアンプから読み出す半導体記憶装置であって、1つの入出力端子に対して該複数のセンスアンプが互いに隣接して配置され、該1つの入出力端子に対して設けられた該複数のセンスアンプを該1つの入出力端子に接続する配線を含むことを特徴とする。

## 【 0 0 1 7 】

上記発明では、メモリセル配列内の各入出力端子に対応したブロックにだけ入

出力端子を接続すればよい、入出力端子とセンスアンプとの間のデータ伝送のための信号配線は、ブロックの物理的な広がりに対応した配線長を有していればこと足りる。或いは別の見方をするならば、入出力端子とセンスアンプを接続する信号配線は、複数のページに対応して一組をなす複数のセンスアンプにだけ接続されればよい、隣接して配置される一組のセンスアンプの物理的な広がりに対応した配線長を有していればこと足りる。従って本発明の半導体記憶装置においては、装置入出力部分の信号ラインの配線抵抗及び容量を小さくすることが出来る。

## 【 0 0 1 8 】

また請求項 1 0 の発明では、複数の I / O 構成からなる電氣的に書き換え可能な不揮発性メモリにおいて、複数の I / O を任意の数ごとに複数の I / O 群に分割され、ワードラインは分割された I / O 群と同数に分割され、各々ワードラインドライバを有し、読み出し時は I / O 分のワードラインがすべて選択され、I / O 分のデータを読み出し、プログラム時は 1 つ或いは複数の I / O 群分のワードラインに選択的に高電圧が印加されることを特徴とする。

## 【 0 0 1 9 】

上記発明では、書き込み動作時にワードラインへの高電圧印加によるメモリセルのゲートにかかるストレスを低減させ、データの信頼性を向上させることが出来る。

## 【 0 0 2 0 】

## 【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

## 【 0 0 2 1 】

図 2 は、本発明による半導体記憶装置の構成を示す図である。

## 【 0 0 2 2 】

図 2 の半導体記憶装置では、メモリセル配列 2 0 は、対応する入出力端子ごとにブロックに分割され、更に各ブロック内で複数のページに分割されている。図 2 の例では、ページ数は 4 であり、各ブロックはページ P a g e 0 乃至 P a g e 3 に分割されている。以下、特別な説明のない限り、ブロックと言った場合には、

各入出力端子に対応したブロックのことを指すこととする。

【0023】

例えば、入出力端子 I/O0 は、対応する入出力バッファ 21 及びセンスアンプ 22 を介して、対応するブロック内部の全てのページ部分に接続されている。他の入出力端子に関しても同様であり、それぞれの入出力端子は、対応するブロック内部の 4 つのページ Page 0 乃至 Page 3 の全てに接続されている。

【0024】

データ読み出し時には、4 つのページ Page 0 乃至 Page 3 の全てのデータをセンスアンプ 22 に呼び出しておき、選択されたページに対応するスイッチ 23 を ON にすることで、このページのデータをメモリ外部に読み出す。

【0025】

図 2 の構成では、信号ライン 24 は、メモリセル配列 20 の各入出力端子に対応したブロックにだけ、入出力端子を接続すればよいとため、ブロックの物理的な広がりに対応した配線長を有していればこと足りる。即ち、図 1 の構成の場合と比較して大幅に配線長を短縮することができ、信号ラインの配線抵抗及び容量を小さくすることが出来る。従って、本発明による半導体記憶装置では、装置入出力部分の信号ラインの配線抵抗及び容量を小さくすることで、高速な動作が可能になる。

【0026】

図 3 は、図 2 の構成をフラッシュメモリに適用した場合に、データ消去をする消去単位を示す図である。

【0027】

図 1 のような従来技術の構成では、ページ単位に消去を行う。即ちページ Page 0 乃至 Page 3 の各ページを、順次 1 ページずつ消去して、4 回の消去動作で全てのページを消去する。これに対して図 2 の構成では、4 つのブロックを一つの消去単位として順次消去を行い、4 回の消去動作で全てのブロックを消去する。このような消去動作については、後で詳細に説明する。

【0028】

図 4 は、本発明による半導体記憶装置の実施例を示す図である。なお以下に説

明する実施例ではフラッシュメモリを例として説明するが、図2に示す信号ラインの配線等に関しては、特にフラッシュメモリに限定されるものではない。また図4において、図2と同一の要素は同一の番号で参照される。

#### 【0029】

図4において、メモリセル配列20は、Y選択ゲート30を介して、センスアンプ22に接続される。更に、センスアンプ22は、スイッチとして機能するNMOSトランジスタ23を介して、入出力バッファ21に接続される。

#### 【0030】

データ読み出し時には、各ページ内の指定されたアドレスのデータがメモリセル配列20から読み出され、センスアンプ22に格納される。スイッチ信号PA0乃至PA3の何れか1つをHIGHにすることで、対応するNMOSトランジスタ23を導通させる。これによって、4ページに対応して4つで一組をなすセンスアンプ22のうちの一つを選択して、選択されたセンスアンプ22のデータを、入出力バッファ21を介して装置外部に読み出す。

#### 【0031】

入出力バッファ21とセンスアンプ22を接続する信号ライン24は、4つのページPage0乃至Page3に対応して一組をなす4つのセンスアンプ22にだけ各入出力バッファ21を接続すればよい。一組のセンスアンプ22の物理的な広がりに対応した配線長を有していればこと足りる。即ち、装置入出力部分の信号ラインの配線抵抗及び容量を小さくすることで、高速な動作が可能になる。

#### 【0032】

図5は、メモリセル配列20及びY選択ゲート30の部分を詳細に示す構成図である。

#### 【0033】

図5においてメモリセル配列20は、メモリセルMC、ワード線WL0乃至WL512、ソースライン41、及びビット線42を含む。ワード線WL0乃至WL512の一本を選択して活性化すると、メモリセルMCがプログラム状態かイレーズ状態かに応じて、記憶されているデータがビット線42に現れる。即ち、

メモリセルMCがイレース状態のときには、ビット線42がメモリセルMCを介してソースライン41に接続され、ビット線42の電位がグランド電圧に落とされる。またメモリセルMCがプログラム状態のときには、ビット線42はソースライン41に接続されずに、センスアンプ22によってHIGH状態に引き上げられる。

## 【0034】

こうしてビット線42に現れたデータは、Y選択ゲート30によって一つが選択される。Y選択ゲート30は、複数のNMOSトランジスタ31を含む。NMOSトランジスタ31のゲートには、アドレス信号YD0-0乃至YD2-1が供給される。このアドレス信号を設定することで、適当なNMOSトランジスタ31を導通させ、複数のビット線42の一本を選択して、センスアンプ22に接続する。

## 【0035】

データを消去するときには、ソースライン41を例えば5Vの高電位に設定して、ゲート電圧（ワード線の電位）を例えば-9V程度の低電位に設定する。これによってメモリセルMCのデータを消去することが出来る。

## 【0036】

図5に示されるのは、1つのセンスアンプ22に対応する1つのページに対する構成であり、例えば全体が4ページからなるときには、各入出力バッファに対して図5の構成が4つ設けられることになる。

## 【0037】

図6は、本発明の実施例であるフラッシュメモリにおいて複数のブロック単位にデータを消去する構成を示したブロック図である。

## 【0038】

メモリ消去制御においては、図6に示されるように、メモリセル配列20は、 $4n$ 個のローカルイレースブロックB00乃至Bn3に分けて制御される。ここで1つのローカルイレースブロックは、図3に示される1つの消去単位に対応する。

## 【0039】

アドレスバッファ53は、消去するローカルイレースブロックを列方向・行方向に指定するアドレスを保持するバッファである。消去制御回路52は、アドレスバッファ53のアドレスが指定するローカルイレースブロックに対する消去動作を制御する。消去回路51は、消去制御回路52の制御のもとで、ローカルイレースブロックに対する実際の消去動作を実行する。またセンスアンプ制御回路54は、センスアンプ22の動作を制御する回路であり、メモリセル配列20の消去動作に直接に関わってくる回路ではない。

## 【0040】

各ローカルイレースブロックは、I/Oブロック（各I/Oに対応する図2に示されるブロック）を複数個含んでおり、これらの複数に対する消去動作が一単位として実行される。フラッシュメモリにおいては、消去動作に必要な電圧を、ポンプ回路を用いてメモリ装置内部で生成している。消去対象のメモリセル配列20の領域が大きくなると、消去動作の電流消費量がポンプの容量を越えてしまうので、ポンプの容量に応じた所定の大きさを一単位として消去動作が行なわれる。図6の例では、この消去動作の一単位がローカルイレースブロックである。

## 【0041】

データ消去時には、ローカルイレースブロックを1つずつ消去して、例えばローカルイレースブロックB00乃至B03を、一連の消去動作で消去する。即ち、ローカルイレースブロックB00を最初に消去し、次に列方向のアドレスを1つ増やしてローカルイレースブロックB01を消去し、更にローカルイレースブロックB02を消去し、最後にローカルイレースブロックBn3を消去する。

## 【0042】

このようにして、全ての入出力端子（図4のI/O0乃至I/O15）に対応するデータに対して、全てのページPage0乃至Page3を消去することが出来る。

## 【0043】

データを書き込むときには、ビットラインをおよそ6Vの高電圧に設定して、ゲート電圧（ワード線の電位）をおよそ9Vの高電位に設定する。

## 【0044】

従来の技術においては、図 1 に示すように各ページブロックに各々 I / O が存在しているため、書き込みを行なう際、全てのページに対して書き込み動作を行なわなければならない。また実際の書き込み動作は各 I / O ずつ行なわれるので、全ての I / O の書き込みが終了するまで各ページのワードラインは選択状態にありかつ高電圧が印加されているため、メモリセルのゲートへのストレスがかかるためデータに悪影響を及ぼす。この様子をタイミングチャートで表したのが図 8 である。書き込み動作が実行されている間は P G M S 信号は H I G H である。まず、書き込み状態を調べるためペリファイ ( P G M V ) が実行されその後書き込みが必要な場合実際に書き込み ( P G M ) が実行される。この間は図の通りワードライン ( W L ) には高電圧が印加されている。

## 【 0 0 4 5 】

本特許の実施例である図 7 においては消去動作と同様、ローカルブロック単位つまり複数の I / O 群を一単位として書き込み動作を行なう。また、各ローカルブロックにはワードラインを制御するドライバー ( X d e c ) が備わっているので、書き込みが行なわれているローカルブロック、例えば B 0 0 が選択されているとこのワードライン ( W L 0 ) のみに高電圧を印加して、その他のローカルブロックのワードライン ( W L 1 、 W L 2 、 W L 3 ) はグランド電圧 V S S にすることが可能となり、これによりメモリセルのゲートにかかるストレスを低減させることが出来る。この様子をタイミングチャートに示したのが図 9 である。

## 【 0 0 4 6 】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

## 【 0 0 4 7 】

なお本発明は、以下に付記する発明を包含するものである。

(付記 1) 複数の入出力端子と、該複数の入出力端子の各々に対応するブロックからなるメモリセル配列と、該ブロックの各々に対して複数個隣接して設けられ、該メモリセル配列のデータをセンスするセンスアンプと、該複数のセンスアンプに対応する複数のスイッチと、該複数のセンスアンプを該複数のスイッチを介して該複数の入出力端子の対応する 1 つに接続する信号配線を含むことを特徴とす

る半導体記憶装置。

（付記 2）入力アドレスに応じて前記複数のスイッチの一つを選択的に導通することで、前記複数のセンスアンプに対応する複数ページから一つのページを選択してデータを読み出すことを特徴とする付記 1 記載の半導体記憶装置。

（付記 3）前記メモリセル配列はフラッシュメモリセルを含むことを特徴とする付記 1 記載の半導体記憶装置。

（付記 4）前記ブロックの複数個をまとめて 1 つの消去単位として前記メモリセル配列のデータ消去を該消去単位ごとに順次実行することを特徴とする付記 3 記載の半導体記憶装置。

（付記 5）メモリセル配列から複数のページ分のデータを同時に読み出して複数のセンスアンプに記憶し選択されたページのデータを選択されたセンスアンプから読み出す半導体記憶装置であって、1 つの入出力端子に対して該複数のページに対応するメモリセル領域が該メモリセル配列内で互いに隣接して配置され、該 1 つの入出力端子に対して該複数のセンスアンプが互いに隣接して配置され、該 1 つの入出力端子に対して設けられた該複数のセンスアンプを該 1 つの入出力端子に接続する配線を含むことを特徴とする半導体記憶装置。

（付記 6）前記メモリセル配列はフラッシュメモリセルを含むことを特徴とする付記 5 記載の半導体記憶装置。

（付記 7）複数の入出力端子に対応する前記メモリセル領域をまとめて 1 つの消去単位として前記メモリセル配列のデータ消去を該消去単位ごとに順次実行することを特徴とする付記 6 記載の半導体記憶装置。

（付記 8）メモリセル配列から複数のページ分のデータを同時に読み出して複数のセンスアンプに記憶し選択されたページのデータを選択されたセンスアンプから読み出す半導体記憶装置であって、1 つの入出力端子に対して該複数のページに対応するメモリセル領域が該メモリセル配列内で互いに隣接して配置されることを特徴とする半導体記憶装置。

（付記 9）メモリセル配列から複数のページ分のデータを同時に読み出して複数のセンスアンプに記憶し選択されたページのデータを選択されたセンスアンプから読み出す半導体記憶装置であって、1 つの入出力端子に対して該複数のセンス

アンプが互いに隣接して配置され、該 1 つの入出力端子に対して設けられた該複数のセンスアンプを該 1 つの入出力端子に接続する配線を含むことを特徴とする半導体記憶装置。

(付記 1 0) 複数の I/O 構成からなる電氣的に書き換え可能な不揮発性メモリにおいて、複数の I/O を任意の数ごとに複数の I/O 群に分割され、ワードラインは分割された I/O 群と同数に分割され、各々ワードラインドライバを有し、読み出し時は I/O 分のワードラインがすべて選択され、I/O 分のデータを読み出し、プログラム時は 1 つ或いは複数の I/O 群分のワードラインに選択的に高電圧が印加されることを特徴とする半導体記憶装置。

(付記 1 1) プログラム時は I/O 分全てにプログラムが行なわれるまで I/O 群毎にプログラムを行なうことを特徴とする付記 1 0 記載の半導体記憶装置。

(付記 1 2) プログラム用シーケンサを有し、I/O 分のデータをプログラムする際はシーケンサにより内部で自動的に I/O 群毎に連続してプログラムを行なうことを特徴とする付記 1 1 記載の半導体記憶装置。

【 0 0 4 8 】

【発明の効果】

本発明では、メモリセル配列内の各入出力端子に対応したブロックにだけ入出力端子を接続すればよいため、入出力端子とセンスアンプとの間のデータ伝送のための信号配線は、ブロックの物理的な広がりに対応した配線長を有していればこと足りる。別の見方をするならば、入出力端子とセンスアンプを接続する信号配線は、複数のページに対応して一組をなす複数個のセンスアンプにだけ接続されればよいため、隣接して配置される一組のセンスアンプの物理的な広がりに対応した配線長を有していればこと足りる。従って本発明の半導体記憶装置においては、データ入出力部分の信号ラインの配線抵抗及び容量を小さくすることで、配線抵抗及び容量によるデータ信号の無駄な遅延を無くすることが可能になり、高速なデータ読み出し・書き込み動作を実現することが出来る。

【 0 0 4 9 】

更に、書き込み動作時にワードラインへの高電圧印加によるメモリセルのゲートにかかるストレスを低減させ、データの信頼性を向上させることが出来る。

【図面の簡単な説明】

【図 1】

従来のページモードメモリの構成を示す図である。

【図 2】

本発明による半導体記憶装置の構成を示す図である。

【図 3】

図 2 の構成をフラッシュメモリに適用した場合にデータ消去をする消去単位を示す図である。

【図 4】

本発明による半導体記憶装置の実施例を示す図である。

【図 5】

メモリセル配列及び Y 選択ゲートの部分を詳細に示す構成図である。

【図 6】

フラッシュメモリにおいて複数のブロック単位にデータを消去する構成を示したブロック図である。

【図 7】

フラッシュメモリにおいて複数のブロック単位にデータを書き込む構成を示したブロック図である。

【図 8】

従来技術の書き込み時における各信号のタイミングを示したチャート図である。

【図 9】

本発明による書き込み時における各信号のタイミングを示したチャート図である。

【符号の説明】

- 1 0   メモリセル配列
- 1 1   入出力バッファ
- 1 2   センスアンプ
- 1 3   スイッチ

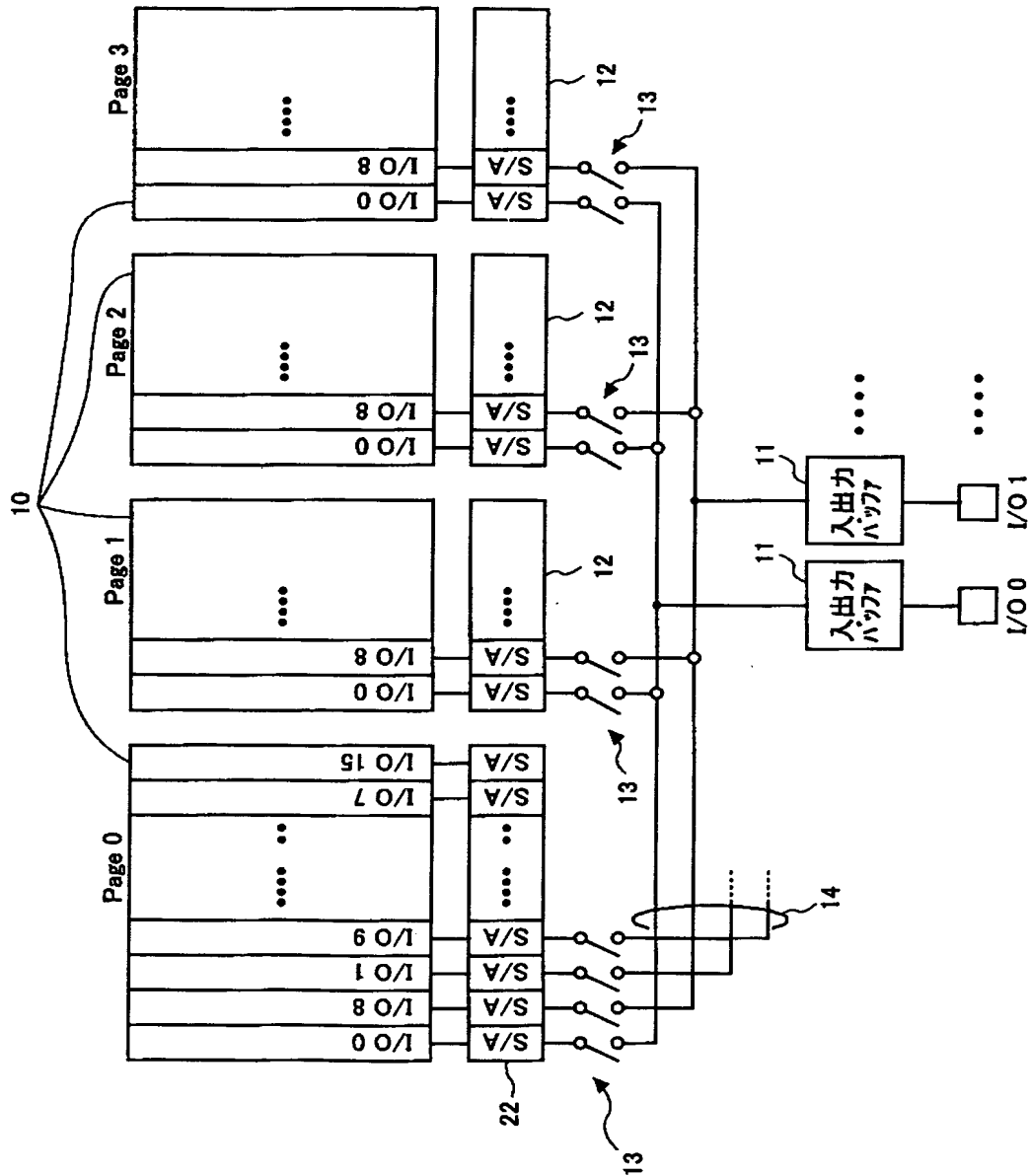
- 14 信号線
- 20 メモリセル配列
- 21 入出力バッファ
- 22 センスアンプ
- 23 スイッチ
- 24 信号線
- 51 消去回路
- 52 消去制御回路
- 53 アドレスバッファ

【書類名】

図面

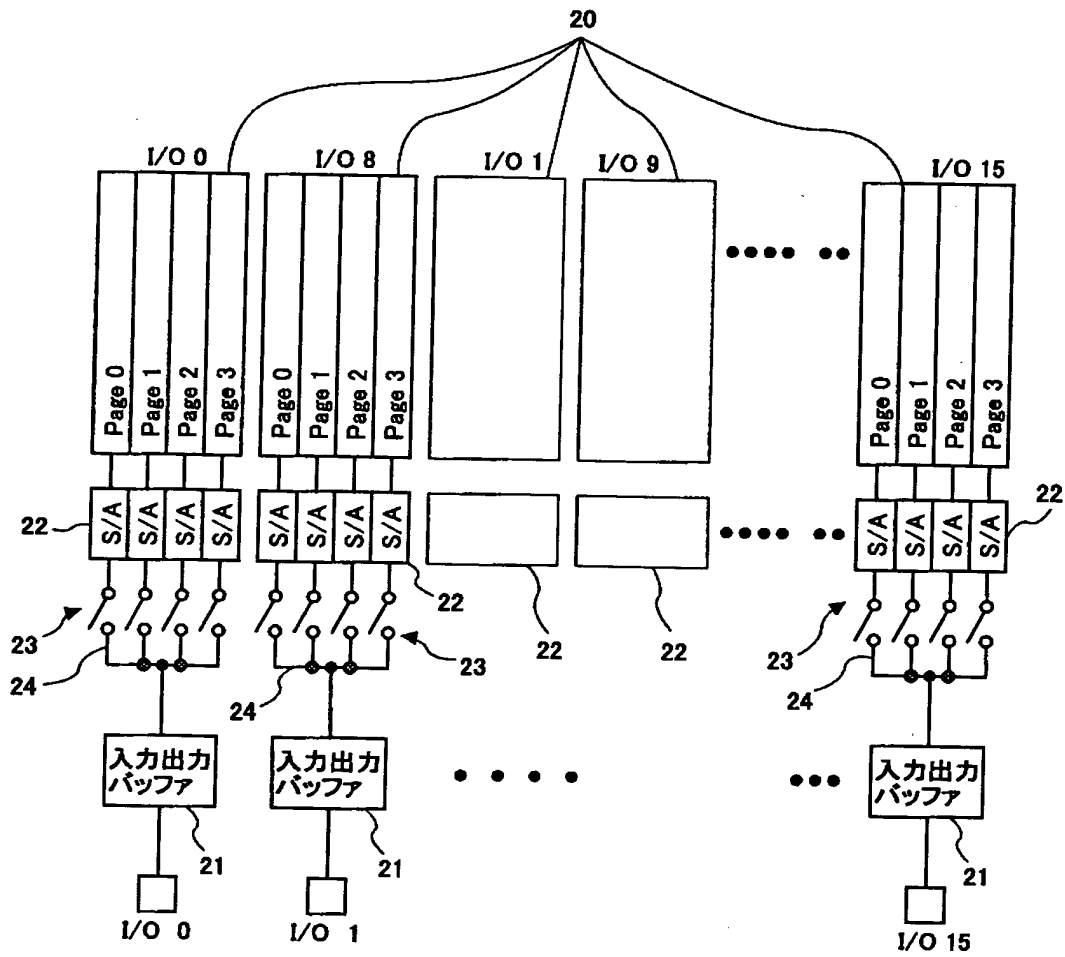
【図1】

従来のページモードメモリの構成を示す図



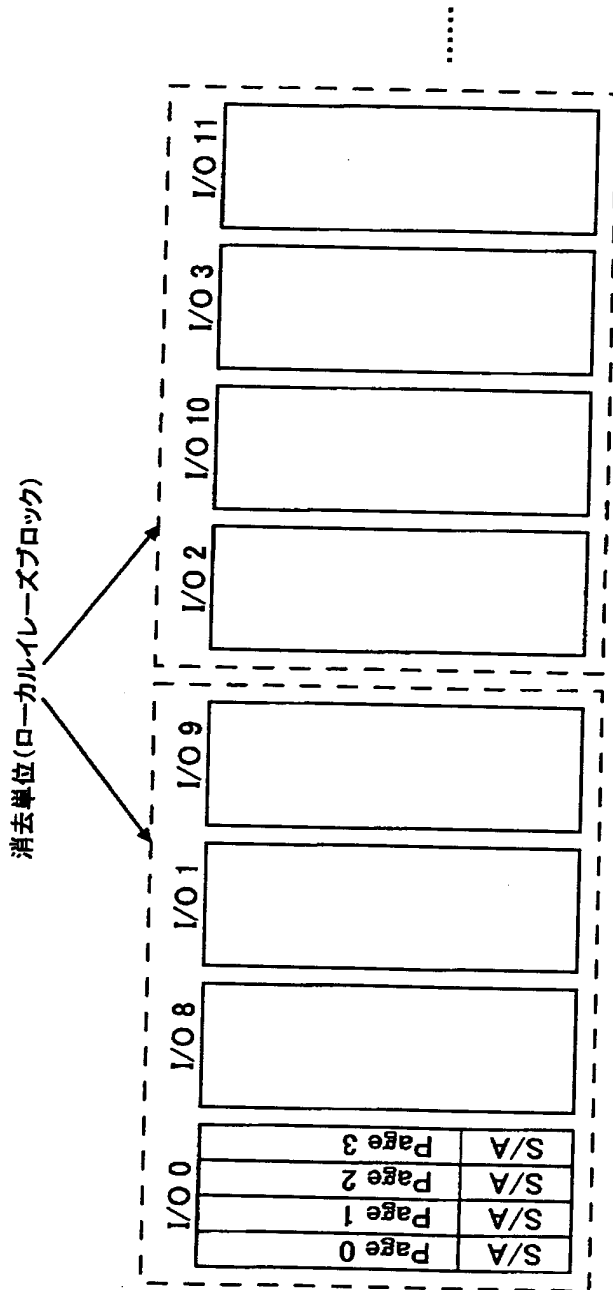
【図 2】

本発明による半導体記憶装置の構成を示す図



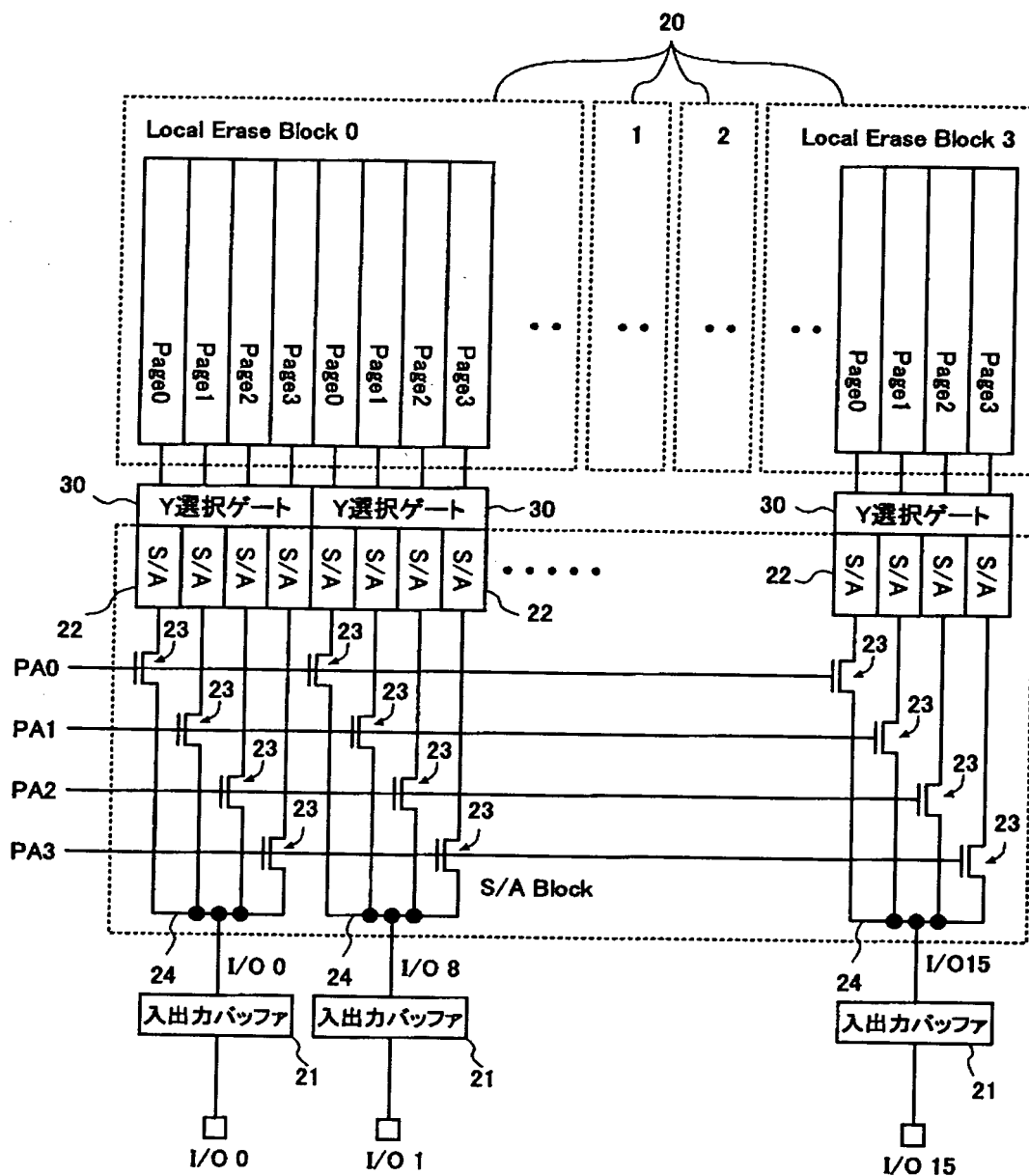
【図 3】

図 2 の構成をフラッシュメモリに適用した場合に  
データ消去をする消去単位を示す図



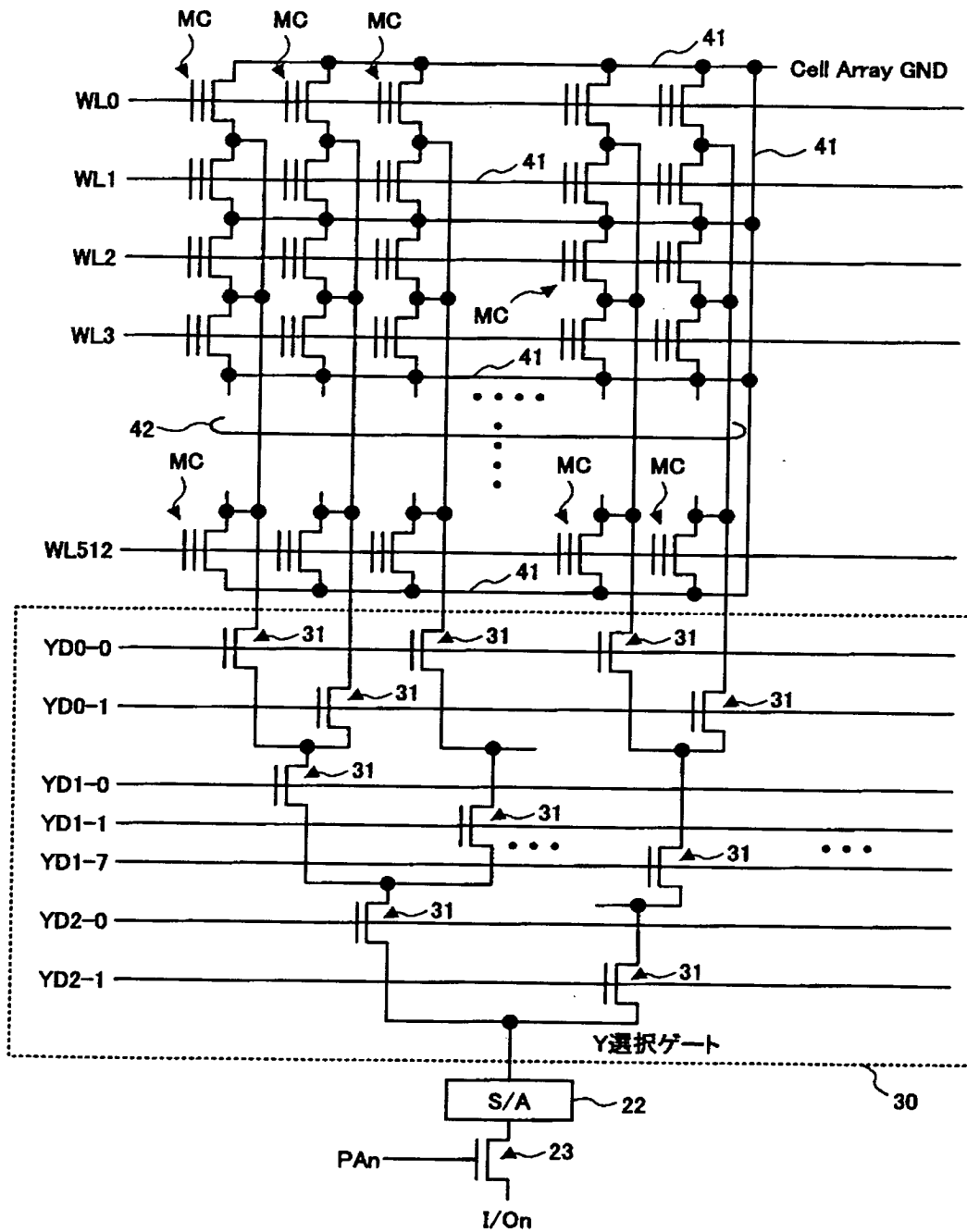
【図 4】

本発明による半導体記憶装置の実施例を示す図



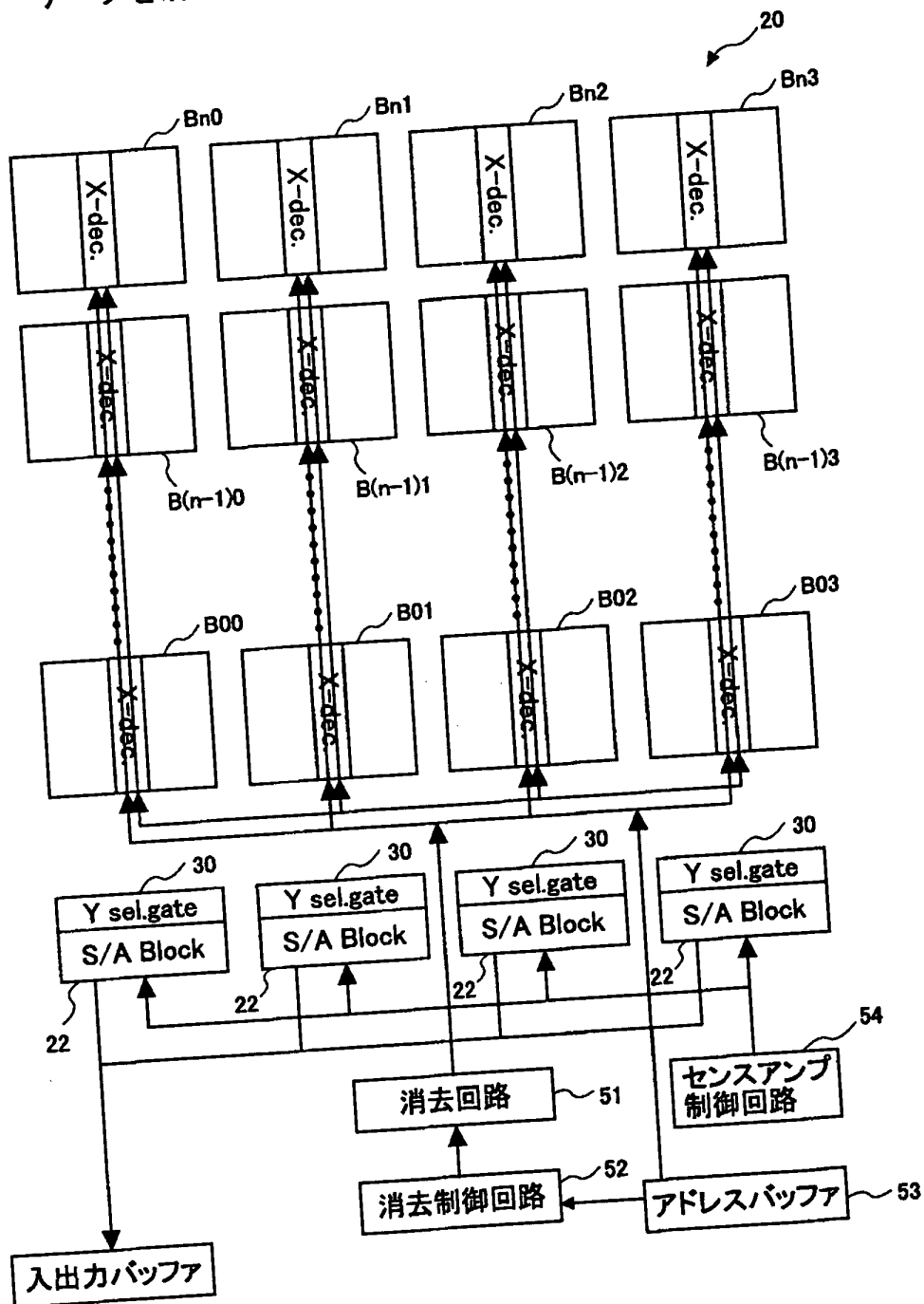
【図 5】

メモリセル配列及びY選択ゲートの部分を詳細に示す構成図



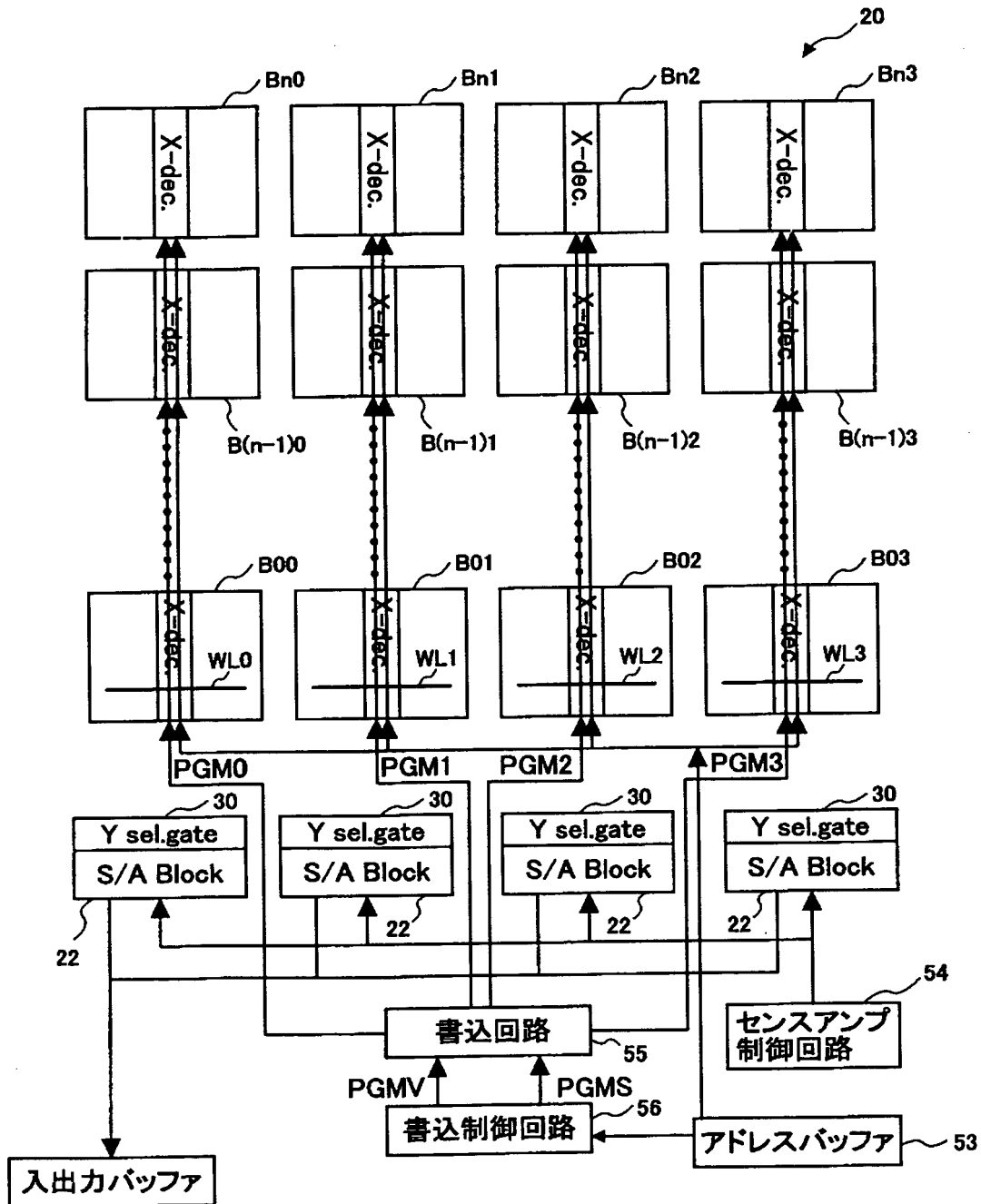
【図6】

フラッシュメモリにおいて複数のブロック単位にデータを消去する構成を示したブロック図



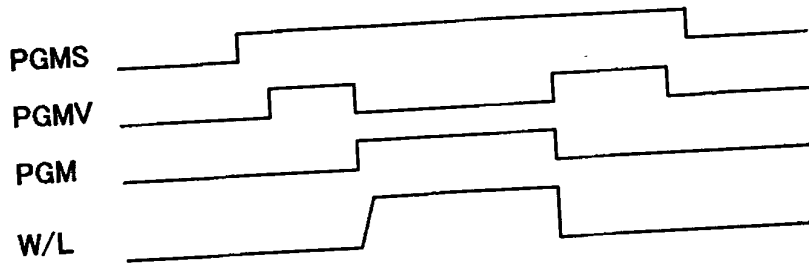
【図 7】

フラッシュメモリにおいて複数のブロック単位に  
データを書き込む構成を示したブロック図



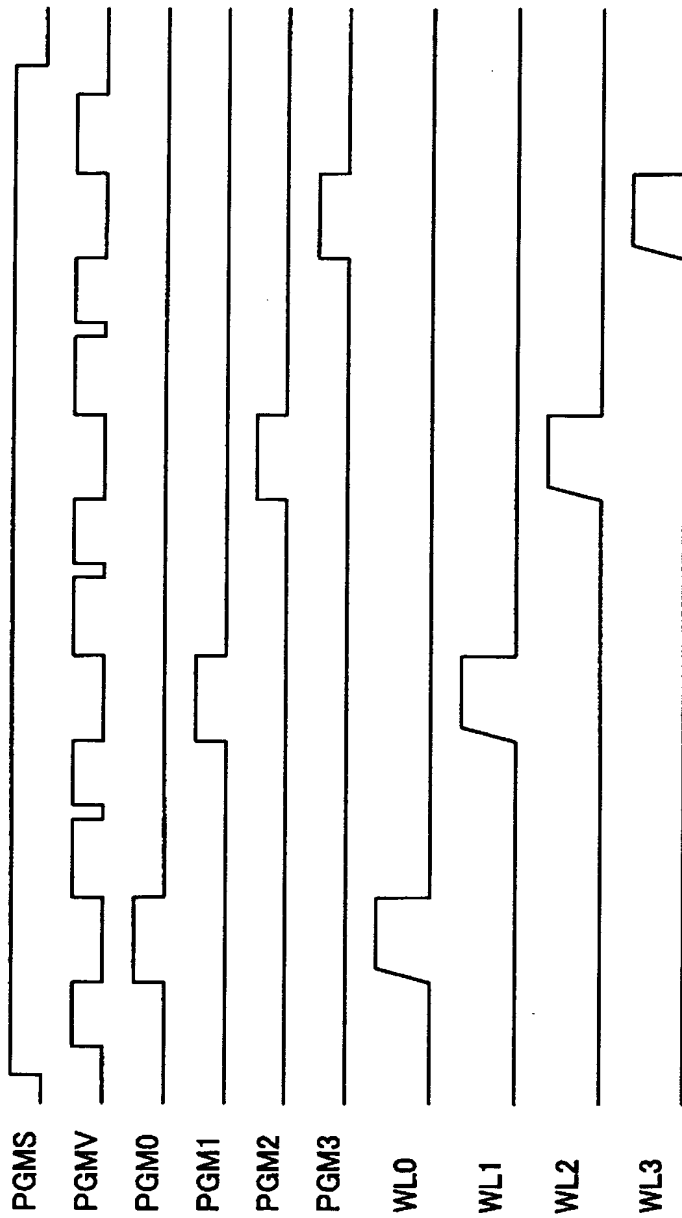
【図8】

従来技術の書き込み時における各信号  
のタイミングを示したチャート図



【図 9】

本発明による書き込み時における各信号  
のタイミングを示したチャート図



【書類名】        要約書

【要約】

【課題】本発明は、データ入出力部分の信号ラインの配線抵抗及び容量を小さくすることで、高速な動作が可能になる半導体記憶装置を提供することを目的とする。

【解決手段】半導体記憶装置は、複数の入出力端子と、該複数の入出力端子の各々に対応するブロックからなるメモリセル配列と、該ブロックの各々に対して複数個隣接して設けられ、該メモリセル配列のデータをセンスするセンスアンプと、該複数のセンスアンプに対応する複数のスイッチと、該複数のセンスアンプを該複数のスイッチを介して該複数の入出力端子の対応する1つに接続する信号配線を含むことを特徴とする。

【選択図】        図2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社